

## PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-206073

(43)Date of publication of application : 13.08.1993

(51)Int.Cl.

H01L 21/302

H01L 21/28

(21)Application number : 04-306400

(71)Applicant : SIEMENS AG

(22)Date of filing : 19.10.1992

(72)Inventor : ENGELHARDT MANFRED

(30)Priority

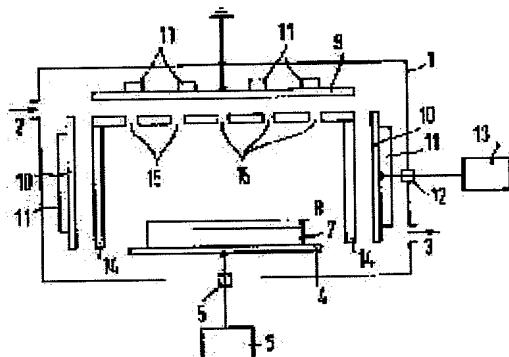
Priority number : 91 4135033 Priority date : 23.10.1991 Priority country : DE

## (54) METHOD FOR FORMING STRUCTURE OF LAYER

## (57)Abstract:

**PURPOSE:** To protect the lower layer of a layer, which is to be formed as a structure, from etching by depositing a target material comprising the material of a lower layer on the surface of the lower layer, so that the lower layer is etched away in an etching reactor.

**CONSTITUTION:** In an etching chamber 1, a quartz cover 14 serving the role of a target is arranged. Then, by enhancing RF power, a deposited material of SiO<sub>2</sub> is increased on the exposed surface of a lower layer in a layer structure 8 on a substrate 7. In this case, the balance between the deposition of SiO<sub>2</sub> and the etching actin for SiO<sub>2</sub> is made to be kept on the substrate. Then, the RF power is adjusted, pure Cl<sub>2</sub> is used as the etching gas and a thin SiO<sub>2</sub> layer present on a silicon surface is removed. Thereafter, a polysilicon layer is etched away, and the surface of the lower layer is exposed. Here, the lower layer does not indicate any etching corrosion and is held without changing the thickness.



(19)日本国特許庁 (JP)

(12) 公開特許公報 (A)

(11)特許出願公開番号

特開平5-206073

(43)公開日 平成5年(1993)8月13日

(51)Int.Cl.<sup>6</sup>

H 01 L 21/302  
21/28

識別記号 庁内整理番号

B 7353-4M  
F 7738-4M

F I

技術表示箇所

(21)出願番号 特願平4-306400

(22)出願日 平成4年(1992)10月19日

(31)優先権主張番号 P 4 1 3 5 0 3 3. 2

(32)優先日 1991年10月23日

(33)優先権主張国 ドイツ(DE)

(71)出願人 390039413

シーメンス アクチエンゲゼルシャフト  
S I E M E N S A K T I E N G E S E L  
L S C H A F T

ドイツ連邦共和国 ベルリン 及び ミュ  
ンヘン (番地なし)

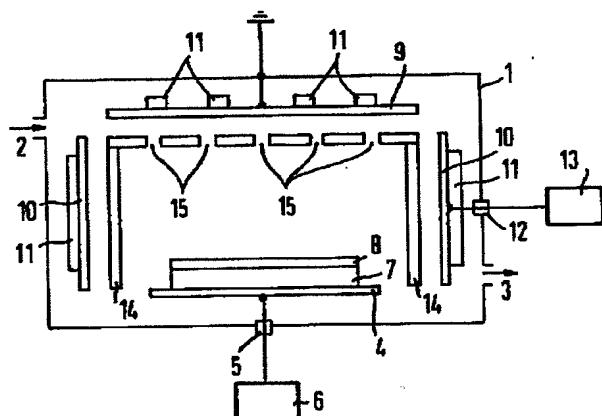
(72)発明者 マンフレート エンゲルハルト  
ドイツ連邦共和国 8152 フエルトキルヒ  
エン-ウエスター-ハム エーデルワイスシ  
ュトラーセ 1ア-  
(74)代理人 弁理士 富村 澄

(54)【発明の名称】 層の構造化方法

(57)【要約】

【目的】 ゲート酸化物層上に配設されているポリシリコーン層を構造化する。

【構成】 他の物質からなる下部層上に配設されている層を構造化するためにプラズマエッティング処理によりエッティング反応器1内に下部層の材料からなるターゲット14を配設する。エッティング処理は、この材料を下部層の表面上にほぼ下部層がエッティング処理により除去されるように堆積するようにして行われる。



## 【特許請求の範囲】

【請求項1】 異方性プラズマエッティング処理を少なくともウェハホルダ(4)及びこのウェハホルダ(4)を環状に囲む環状電極(10)を有するエッティング反応器(1)内で行い、またその反応器にウェハホルダ(4)及び環状電極(10)を介して周波数の異なる2つのRF電力が互いに独立して印加され、構造化すべき層の材料とは異なる材料からなる少なくとも1つの下部層及び構造化すべき層を含んでいる層構造(8)を有する基板(7)がエッティング反応器(1)内に装入され、エッティング反応器(1)内に下部層の材料を含むターゲット(14)が備えられ、

RF電力を環状電極(10)で上記材料がターゲット(14)からスパッタリングされるように調整するとともに、この材料がエッティング処理中に露出される下部層の表面上にエッティング処理により主として下部層が作用を受けるように堆積するように調整することを特徴とする層の構造化方法。

【請求項2】 構造化すべき層上にエッティングマスクを配設することを特徴とする請求項1記載の方法。

【請求項3】 エッティング反応器(1)内でウェハホルダ(4)に対向して接地電極(9)を配設し、環状電極(10)及び接地電極(9)に永久磁石(11)を配設し、エッティング反応器(1)内のガス圧を10mトル(1.3Pa)以下に調整することを特徴とする請求項1又は2記載の方法。

【請求項4】 環状電極(10)を介して13.56MHzの周波数のRF電力をまたウェハホルダ(4)を介して100kHzの周波数のRF電力を印加することを特徴とする請求項3又は4記載の方法。

【請求項5】 構造化すべき層がポリシリコンからなり、下部層がSiO<sub>2</sub>からなることを特徴とする請求項3又は4記載の方法。

【請求項6】 ターゲット(14)としてエッティング反応器(1)の石英からなる内張りを使用し、これが少なくとも環状電極(10)及び接地電極(9)を覆いまたガス取り入れ用開口(15)を有していることを特徴とする請求項5記載の方法。

【請求項7】 エッティングガスとしてCl<sub>2</sub>又はBr<sub>2</sub>ガスの少なくとも一方又はCl<sub>2</sub>／Br<sub>2</sub>混合物を使用することを特徴とする請求項5又は6記載の方法。

【請求項8】 100kHzのRF電力を10～50ワットの範囲に、13.56MHzのRF電力を900～1200ワットの範囲に、エッティングガスの貯流量を15～25scmの範囲に及びガス圧を1～5mトル(0.13～10.65Pa)の範囲に調整することを特徴とする請求項7記載の方法。

【請求項9】 ポリシリコンを含有する少なくとも1つのゲート電極の製造に使用することを特徴とする請求項

1ないし8の1つに記載の方法。

【請求項10】 DRAM処理でポリシリコンを構造化するのに使用することを特徴とする請求項1ないし8の1つに記載の方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明は特に集積回路における層の構造化に関する。

【0002】

【従来の技術】 高集積回路を製造するために半導体技術分野においてはしばしばプラズマを利用したエッティング処理が微細構造の製造に使用される。そのため構造化すべき層上にエッティングマスクを配設する。エッティングマスクの構造は異方性エッティング処理で構造化すべき層に寸法通りに転写されねばならない。構造化すべき層の下に配設される下部層はできるかぎりエッティング処理の影響を受けてはならない。従ってエッティング処理に対しては異方性に対する高度の要件とともに下部層のエッティング選択度に対する高度な要件も課せられる。

【0003】 この問題は、構造化すべき層を平坦ではない表面上に配設する場合（これは集積回路の製造では多くの場合に回避し得ないことがある）特に重要なものとなる。特に薄いSiO<sub>2</sub>層上に配設されるポリシリコン層の構造化が問題となる。例えば論理回路又は記憶回路の製造時に全面的に施されたゲート酸化物層上にポリシリコンからなるゲート電極を製造する場合である。

【0004】 構造化すべき層が配設される表面が垂直側面を有する場合、この垂直側面に異方性エッティング処理時に側面カバー、いわゆるスペーサーが作られる。これを除去するためにエッティング処理は下部層がすでに大部分露出している場合にも更に進めなければならない。この処置は“過エッティング”といわれる。その際下部層がエッティングの作用を受けないためには高度のエッティング選択度が要求される。

【0005】 ゲート電極を製造するためにSiO<sub>2</sub>からなる下部層上にポリシリコンからなる構造化すべき層を作る例においては側面カバーを完全に除去することが特に重要である。それというのもこれが完成された回路構造内に短絡を生じるからである。

【0006】 サムカワ（S. Samukawa）その他による“J. Vac. Sci. Technol.”第8巻(6)、第1192頁、11月／12月、1990年から、SiO<sub>2</sub>に関してポリシリコンを構造化するためのエッティング処理の選択度は付加的処理ガスとしてのO<sub>2</sub>を処理ガスとしてのCl<sub>2</sub>に添加することによって拡大されることは公知である。

【0007】 もう1つの可能性は化学処理を例えば塩素から臭素に変更することにある。

【0008】 しかしこの措置では原則的には選択度は有限的に高められるだけなので、下部層は側面カバーを除

去する際の過エッティングに抵抗するために、常に厚さを最低にしなければならない。下部層の厚さが過エッティング時間の最大限度を決定する。

【0009】

【発明が解決しようとする課題】本発明は、エッティング処理時に構造化すべき層の下に配設されている下部層をエッティング作用から保護するための層の構造化方法を提供することを課題とする。

【0010】

【課題を解決するための手段】この課題は、異方性プラズマエッティング処理を少なくともウェハホルダ及びこのウェハホルダを環状に囲む環状電極を有するエッティング反応器内で行い、またその反応器にウェハホルダ及び環状電極を介して周波数の異なる2つのRF電力が互いに独立して印加され、構造化すべき層の材料とは異なる材料からなる少なくとも1つの下部層及び構造化すべき層を含んでいる層構造を有する基板がエッティング反応器内に装入され、エッティング反応器内に下部層の材料を含むターゲットが備えられ、RF電力を環状電極で上記材料がターゲットからスパッタリングされるように調整するとともに、この材料がエッティング処理中に露出される下部層の表面上にエッティング処理により主として下部層が作用を受けるように堆積するように調整することにより解決される。

【0011】

【作用効果】本発明方法ではプラズマをそれぞれ処理パラメータの選択に基づきわゆるスパッタリング法で層のエッティングにもまた析出にも使用している。本発明方法はエッティング反応器内で実施されるが、この反応器にはウェハホルダを介して第1の周波数のRF電力がまたそれとは関係なく環状電極を介して第2の高周波のRF電力が印加される。ウェハホルダを介してイオンエネルギー及びそれと共にエッティング処理が制御される。環状電極を介してイオン密度が調整される。下部層の材料の粒子の種類の高いイオン密度を調整することによりこれらの粒子はしばしば衝撃を被ることになる。その結果これらの粒子は極く僅かなエネルギーを有するに過ぎず、エッティング処理には寄与しない。これらの粒子は同じ物質からなり、従って成層の核となるため下部層の露出表面上に堆積する。

【0012】環状電極に印加されるRF電力は、下部層の露出表面上の層の成長がこの表面に対するエッティング処理時のエッティング作用にほぼ対応するように調整される。こうして下部層の厚さは結果として変化しない。この結果上記の物質からなる層の構造化に際して下部層の表面が露出されるときエッティング処理を十分に長く進行させることができる。エッティングの選択性はこのようにして効果的に改善される。

【0013】プラズマを閉じ込めるため永久磁石を有するエッティング反応器を使用することによって低いガス圧

でも高度の異方性が達成される。更にこの種のエッティング反応器内では専らC12、Br2又はC12/Br2混合物を使用して低ガス圧で安定したプラズマを点火することができる。これに関連する低ガス圧は10mトル(1.3Pa)以下の圧力である。

【0014】特に、ウェハホルダに対向して接地電極を配設し、環状電極及び接地電極に永久磁石を備えているエッティング反応器を使用することは本発明の枠内にある。その際エッティング反応器内のガス圧を10mトル(1.3Pa)以下に調整する。環状電極には13.56MHzの周波数のRF電極を印加し、ウェハホルダを介して100kHzの周波数のRF電力を印加する。

【0015】本方法はポリシリコンからなるゲート電極を製造するのに有利に使用可能である。この場合構造化すべき層はポリシリコンからなり、下部層はSiO<sub>2</sub>からなる。更にこの下部層は典型的には厚さ10~20nmを有するゲート酸化物層である。ゲート酸化物層は直接単結晶シリコン基板上に配設されているため、これが異方性エッティング処理中に破壊されることは特に重要である。ゲート酸化物層は単結晶シリコン基板の表面をエッティング処理の作用から保護する。

【0016】ポリシリコンからなる層をSiO<sub>2</sub>からなる下部層上に構造化する場合ターゲットとして石英からなるエッティング反応器のカバーを用いることは本発明の枠内にある。その際カバーは少なくとも環状電極及び接地電極を覆う。カバーはガス取り入れ用開口を有する。石英からなるカバーはそのターゲットとしての役割の他にエッティング処理中に励起されるプラズマを環状電極又は接地電極と直接接触させない働きをする。それにより電極が作動中に侵食されることが回避される。電極が実際にはAl<sub>2</sub>O<sub>3</sub>で被覆されているため、この種の侵食は基板の金属汚染を招くおそれがある。電極上に石英カバーを用いることはこの種の汚染を回避するのに有利である。

【0017】環状電極上の石英からなるカバーの利点は、石英カバーが基板を環状に囲んでいることからSiO<sub>2</sub>を下部層の露出表面上に均一に析出させる点にある。

【0018】本発明の他の実施態様は請求項2以下から明らかである。

【0019】

【実施例】本発明を実施例及び図面に基づき以下に詳述する。

【0020】エッティング反応器は接地されているエッティング室1を有する。エッティング室1はガス取り入れ口及び排出口を備えている。

【0021】エッティング室1にはウェハホルダ4が配設されている。ウェハホルダ4はリード線5を介して100kHzの発電機6と接続されている。ウェハホルダ4上には基板7が配設されている。基板7上には層構造8

が配設されている。層構造8は、直接基板7上に配設され例えばSiO<sub>2</sub>からなる下部層を有している。下部層上には例えばポリシリコンからなる構造化すべき層が配設されている。この構造化すべき層上にはエッティングマスクが配設されている。

【0022】ウェハホルダ4に対向してエッティング室1内には接地されている電極9が配設されている。更にエッティング室1内には環状電極10が配設されている。環状電極10は電極9とウェハホルダ4との間の空間を環状に囲んでいる。環状電極10と電極9は永久磁石11を備えている。環状電極10はリード線12を介して13.56MHzの発電機13と接続されている。

【0023】またエッティング室1内には石英カバー14が配設されている。石英カバー14は環状電極10と基板7との間並びに電極9と基板7との間にある。石英カバー14はエッティング室1を通るガス貫流を確保するための開口15を備えている。

【0024】石英カバー14はエッティング室1内でターゲットの役目をする。エッティング室1の作動中に、すなわち13.56MHzの発電機13及び100kHzの発電機6の投入時に石英カバー14はスパッタリングにより削除されることになる。

【0025】13.56MHzの発電機13及び100kHzの発電機6のRF電力は互いに独立して調整可能である。13.56MHzのRF電力を高めることにより石英カバー14のスパッタリング削除は高められる。それにより基板7上の層構造8内の下部層の露出表面上にSiO<sub>2</sub>の堆積物が増大する。これに対して100kHzのRF電力を減ずることは基板7上に配設される層構造に対するエッティング作用を減少させることになる。このようにして13.56MHzのRF電力及び100kHzのRF電力は基板上にSiO<sub>2</sub>の析出及びSiO<sub>2</sub>に対するエッティング作用の均衡を保つように調整される。

【0026】SiO<sub>2</sub>からなる下部層上の構造化すべきポリシリコンからなる層を例えば以下の処理パラメータを使用してエッティングすることができる。

【0027】13.56MHzのRF電力を1000ワットに調整する。エッティングガスとして純C<sub>12</sub>を使用し、これを20sccmの流量で室を通して導く。エッ

チング室内の圧力は2mトル(0.26Pa)となる。第1工程では100kHzのRF電力を50ワットに調整する。この電力でエッティング処理を10秒間行う。この第1工程でいわゆる蓄積酸化物、すなわち常にシリコン表面に存在する薄いSiO<sub>2</sub>層を除去する。第2工程で100kHzのRF電力を30ワットに調整する。この電力で例えば厚さ200nmのポリシリコンからなる層をエッティングするため例えば60秒間エッティングを行う。その際ポリシリコンからなる構造化すべき層の水平部分は完全に除去される。ポリシリコン層の先の水平部分の下では下部層の表面が露出される。第3工程で段差に残留するポリシリコンからなるエッティング残留物を過エッティングにより除去する。このため100kHzのRF電力を15ワットに調整する。第3工程を90~120秒間行う。所要時間は基板上の構造物の種類のトポロジによる。下部層の露出範囲はこのエッティング時間後如何なるエッティング腐食も示さない。480秒間過エッティングした後もSiO<sub>2</sub>からなる下部層はその厚さを変えることなく保持されることが実験により確かめられた。

【0028】上述の実施例を同じ処理パラメータで純Br<sub>2</sub>又はCl<sub>2</sub>/Br<sub>2</sub>からなる混合物を用いて行うことも可能である。

#### 【図面の簡単な説明】

【図1】本発明によるエッティング反応器の横断面図。

#### 【符号の説明】

- 1 エッティング室(エッティング反応器)
- 2 ガス取り入れ口
- 3 ガス排出口
- 4 ウェハホルダ
- 5、12 リード線
- 6 100kHzの発電機
- 7 基板
- 8 層構造
- 9 接地電極
- 10 環状電極
- 11 永久磁石
- 13 13.56MHzの発電機
- 14 石英カバー(ターゲット)
- 15 開口

【图 1】

